

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the semi-conductor chopper equipment with which it has 2 sets of chopper circuits by which parallel connection was carried out, and the circuit of these two groups repeats chopping actuation by turns for every round term When failure occurs in one chopper circuit, the fault detection signal by the failure detection circuit is received. The control circuit of the semi-conductor chopper equipment characterized by coming to prepare a means by which the necessary charge in the commutating capacitor of the healthy chopper circuit of another side emits the fault detection actuation halt command of the failure detection circuit in said healthy chopper circuit over sufficient period to complete.

[Claim 2] It is the control circuit of the semi-conductor chopper equipment which carries out [coming to prepare the means which emits the fault-detection actuation halt command to each failure detection circuit in 2 sets of said chopper circuits, and] as the description over the same period as said fault-detection actuation halt command while replace with the fault-detection actuation halt command of the failure detection circuit in the healthy chopper circuit of another side at the time of one chopper circuit failure and continuing gate lock actuation of the aforementioned failure side chopper circuit in the control circuit of semi-conductor chopper equipment according to claim 1.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[Industrial Application]

This invention relates to the control circuit of the semi-conductor chopper equipment with which 2 sets of chopper circuits repeat chopping actuation by turns for every round term.

[Description of the Prior Art]

What is illustrated to Fig. 4 and Fig. 5 , respectively as the main circuit Fig. of this conventional seed chopper equipment and a fault detection section circuit diagram of a control circuit is known.

In Fig. 4 , 1 is DC power supply and 2 is a breaker. Moreover, it is controlled to connect the series connection of the auxiliary thyristor 5 of a reverse flow form, a commutating reactor 6, and a commutating capacitor 7 at juxtaposition at a main thyristor 4, respectively, to be constituted, and to connect these both circuits to juxtaposition through said breaker 2 at each I/O side further, and to repeat chopping actuation by turns by the control circuit 3, although 2 sets of chopper circuits surrounded with the alternate long and short dash line in drawing are called the 2nd chopper circuit the following 1st. Moreover, for a free wheel diode and 10, as for filter resistance and 12, a filter reactor and 11 are [the charge resistance for charge acceleration of as opposed to said capacitor 7 in 8, and 9 / a filter capacitor and 13] loads.

Next, in Fig. 5 , 14 and 15 are the said 1st, 1st [respectively corresponding to the 2nd chopper circuit], and 2nd chopper failure detection circuit, and output the chopper failure signal by the timer for firing failure detection by considering output voltage of the chopper circuit which corresponds, respectively as an input. The OR gate where 16 considers an output failure signal with said both failure detection circuits 14 and 15 as an input, 17 is a monostable circuit which receives the output signal of this OR gate and outputs the gate lock signal over said both 1st and 2nd chopper circuit. The gate driving signal of a healthy chopper circuit was locked over a fixed period from the failure generating point in time with this gate lock signal, the

ignition call extinction of arc actuation was frozen, charge of said commutating capacitor 7 was secured, and influencing of the commutation-failure accident to said healthy chopper circuit is prevented.

Moreover, 18 is an on-delay timer, delays the starting command to said both failure detection circuits 14 and 15 fixed time, and prevents failure incorrect detection in the unstable stage of operation at the time of said chopper equipment starting.

[Problem(s) to be Solved by the Invention]

Although this broken chopper circuit is separated from a main circuit, while will remain and operation will continue only in a healthy chopper circuit with the chopper equipment of a configuration so that 2 sets of chopper circuits may be connected to juxtaposition and chopping actuation may be mutually repeated like the above if one chopper circuit carries out commutation failure, the circuit the chopper circuit where the period until the chopper circuit which broke down after detecting failure is separated from a main circuit broke down becomes with switch-on completely, and bypass a healthy chopper circuit will be constituted. If the current which flows to the aforementioned healthy chopper circuit as a result decreased and the healthy chopper circuit has repeated ignition and an extinction of arc in that case, charge of the commutating capacitor is insufficient and even a healthy chopper circuit may cause commutation failure. for this reason, the gate lock signal from a chopper failure detection circuit -- a period more fixed than a failure generating time -- although the gate driving signal of a healthy chopper circuit is locked, ignition and extinction of arc actuation are frozen and charge of a commutating capacitor is secured, during the period of the aforementioned gate lock, a healthy chopper circuit will be in the condition of an extinction of arc, and the timer for firing failure detection of a failure detection circuit will start actuation. Therefore, if the operating time of the monostable circuit for a gate lock excels rather than the setup time of said timer for firing failure detection, said failure detection circuit will make the aforementioned healthy chopper circuit a firing failure condition, and will be incorrect-detected. Therefore, in order to prevent this incorrect detection, the operating time of said monostable circuit must be time amount shorter than the setup time of the timer for fault detection. However, as charge sufficient in such short time amount for a commutating capacitor cannot be performed, therefore it is conventionally shown in Fig. 4, in order to bring charge of a commutating capacitor 7 forward, he forms the charge resistance 8 in a main circuit, and was trying to complete charge within the period of the

aforementioned gate lock.

Installation of said charge resistance caused the rise with large-sized-ization of said chopper equipment whenever [by resistance generation of heat / equipment internal temperature], and had caused the cost rise by those cures.

This invention aims at offer of the control circuit for chopper equipments which prevents incorrect detection of the failed state like the above certainly, and makes said charge resistance unnecessary in view of the above.

[The means for solving a technical problem]

In order to attain the above-mentioned purpose, it sets to the control circuit of the semi-conductor chopper equipment of this invention. In the semi-conductor chopper equipment with which it has 2 sets of chopper circuits by which parallel connection was carried out, and the circuit of these two groups repeats chopping actuation by turns for every round term When failure occurs in one chopper circuit, the fault detection signal by the failure detection circuit is received. The necessary charge in the commutating capacitor of the healthy chopper circuit of another side continues for sufficient period to complete. [whether the means which emits the fault detection actuation halt command of the failure detection circuit in said healthy chopper circuit is established, and] Or it replaces with the fault detection actuation halt command of the failure detection circuit in the healthy chopper circuit of another side at the time of one [like the above] chopper circuit failure. Gate lock actuation of the aforementioned failure side chopper circuit shall establish the means which emits the fault detection actuation halt command to each failure detection circuit in said 2 sets of chopper circuits over the same period as said fault detection actuation halt command while continuing.

[Function]

Without the timer setup time of a failure detection circuit restraining the monostable circuit operating time for a gate lock, since according to this invention the fault detection actuation was locked during the period of a gate lock to the failure detection circuit of another side which remains when either of the 1st or 2nd chopper failure detection circuit detected failure, according to the charging time of a commutating capacitor, a setup becomes possible, therefore the charge resistance 8 for charge acceleration of said capacitor also becomes unnecessary.

[Example]

A drawing explains the example of this invention below. The fault

detection section circuit diagram of a chopper device control circuit showing [Fig. 1 and / 2] the example of this invention and Fig. 3 are the timing diagrams of Fig. 2 of operation.

In addition, the same display sign is attached to the component of the same function as the case of the example of the conventional technique shown in Fig. 5 in Fig. 1 and Fig. 2 .

In the circuit shown in Fig. 5 , Fig. 1 forms 2 sets of 2 input AND gates 20 which make a gate lock signal common and consider the 1st or 2nd chopper failure signal as an input, respectively, and 2 sets of off delay timers 19 which consider the output signal of both this AND gate as an input, respectively, and inputs the output of both this timer as a fault detection actuation lock signal over the 1st and the 2nd chopper failure detection circuit 14 and 15, respectively.

Supposing the 1st chopper failure detection circuit 14 detects failure now, the 1st chopper failure signal will be outputted. This failure signal is inputted into the monostable circuit 17 through the OR gate 16, and is outputted as a gate lock signal of predetermined time (charging time of a commutating capacitor). Moreover, the AND of said 1st chopper failure signal and the gate lock signal is carried out by the AND gate 20, they are inputted into the 2nd chopper failure detection circuit 15 through the off delay timer 19, and lock the fault detection actuation. Thereby, the 2nd chopper circuit can prevent that it detects failure accidentally even if a commutating capacitor has suspended the actuation until it carries out the completion of charge.

Next, Fig. 2 forms the AND gate 21 which considers the starting command signal S1 and the gate lock signal S2 as an input in the circuit diagram showing in Fig. 5 . The output signal of this AND gate is inputted into the timer 18 for failure incorrect detection prevention at the time of chopper equipment starting like the above. Performing the lock of operation in said both failure detection circuits 14 and 15 in the treasuring force condition period of this timer, the change pattern of the output signal S3 of said timer 18 and said signals S1 and S2 becomes like the timing diagram shown in Fig. 3 .

As shown in Fig. 3 , the output signal S2 of said monostable circuit 17 in the case of Fig. 2 serves as the level L between time amount T_m in the output with chopper circuit failure generating, and the lock of the fault detection actuation like the above is performed over sum time amount $T_m + T_s$ with the time delay T_s by said timer 18.

[Effect of the Invention]

Since the time amount of a gate lock can be set up in accordance with the charging time of a commutating capacitor according to this invention,

without taking into consideration the timer time amount of a failure detection circuit, the charge resistance for charge acceleration of a commutating capacitor can be deleted from a main circuit. While a miniaturization and cost reduction of chopper equipment become possible by this, the bad influence to other devices in equipment can be prevented by having removed the excessive source of generation of heat. Moreover, even when a gate lock is canceled and a control system and a controlled system cannot be immediately followed by having formed the timer which sets a gate lock signal to 1 of the operating condition, by setting up timer time amount suitably according to the property of a control system and a controlled system, incorrect detection of failure by the turbulence of an output wave immediately after gate lock discharge or delay can be prevented, and it becomes controllable [which it was stabilized more].

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

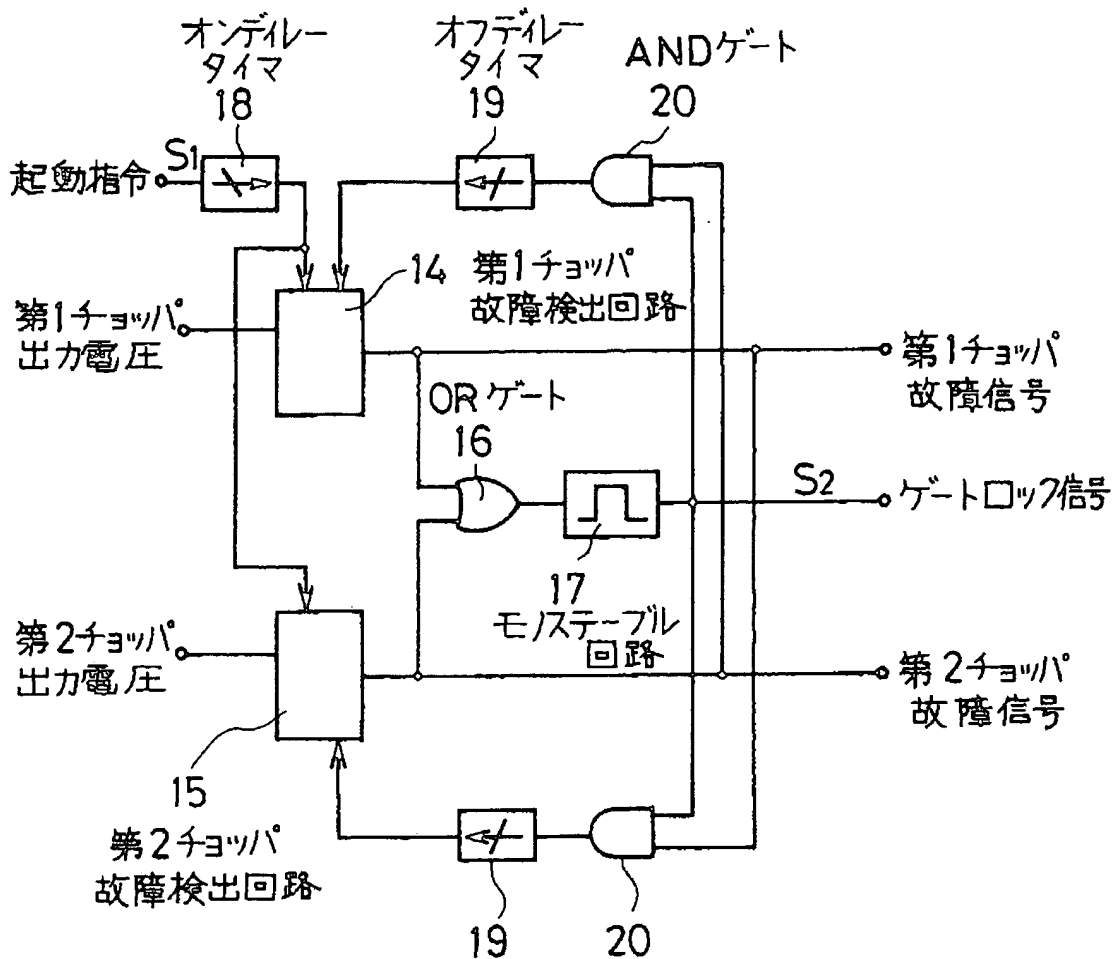
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

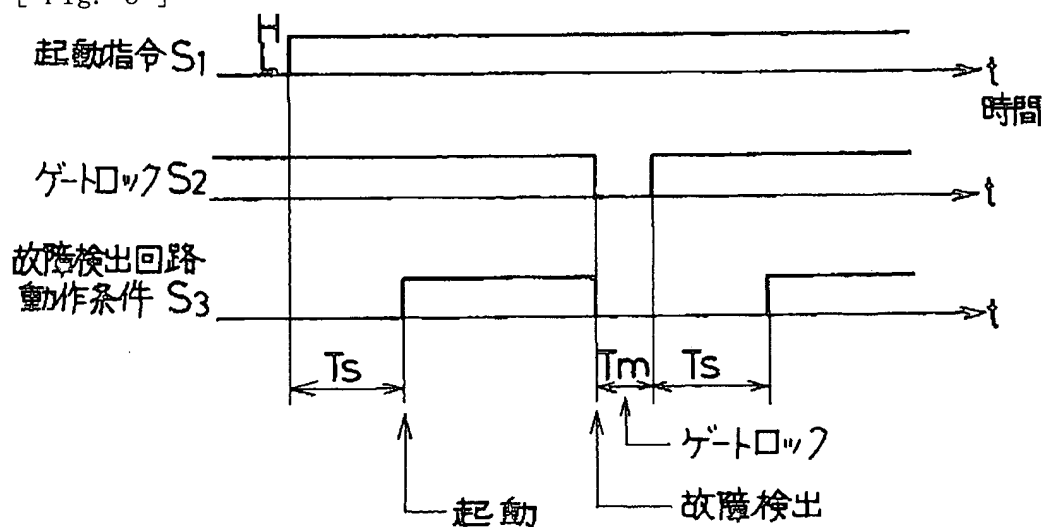
[Brief Description of the Drawings]

The main circuit Fig. of the chopper equipment at the time of using the timing diagram of Fig. 2 of operation and the control circuit of the former [Fig. / 4] and Fig. 5 of the circuit diagram and 3rd [**] Fig. R> Fig. showing [Fig. 1 and / 2] the example of this invention are circuit diagrams showing the example of the conventional technique corresponding to Fig. 1 and Fig. 2 .

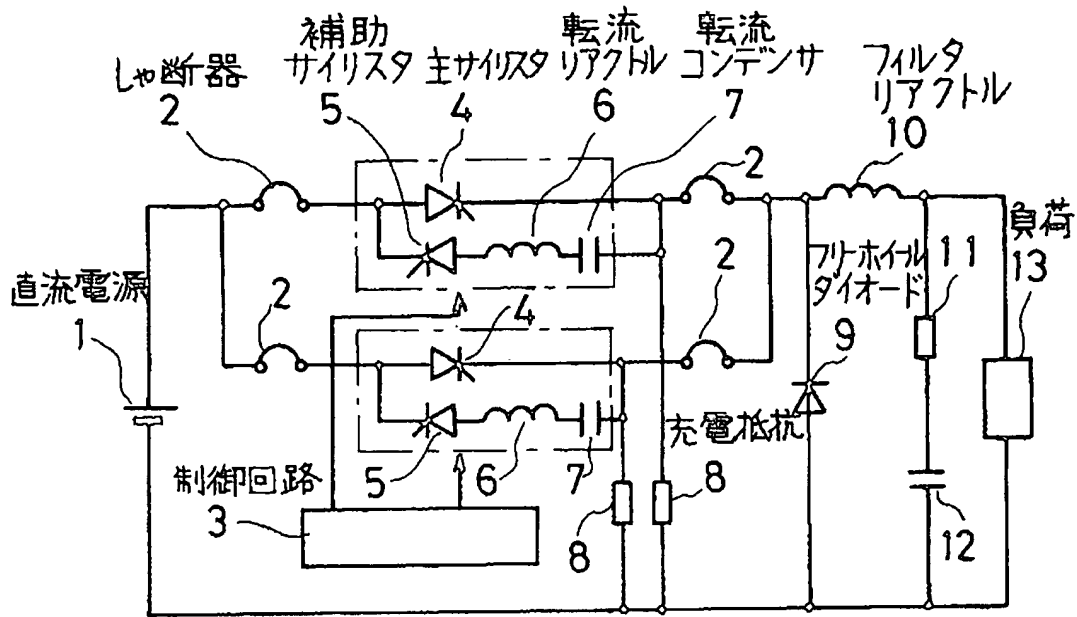
1 DC power supply and 2 .. a breaker and 3 .. a control circuit and 4 .. a main thyristor and 5 .. an auxiliary thyristor and 6 .. a commutating reactor and 7 .. a commutating capacitor and 8 .. charge resistance and 9 .. a free wheel diode and 10 -- .. -- a filter reactor and 11 -- .. filter resistance and 12 -- .. -- a filter capacitor and 13



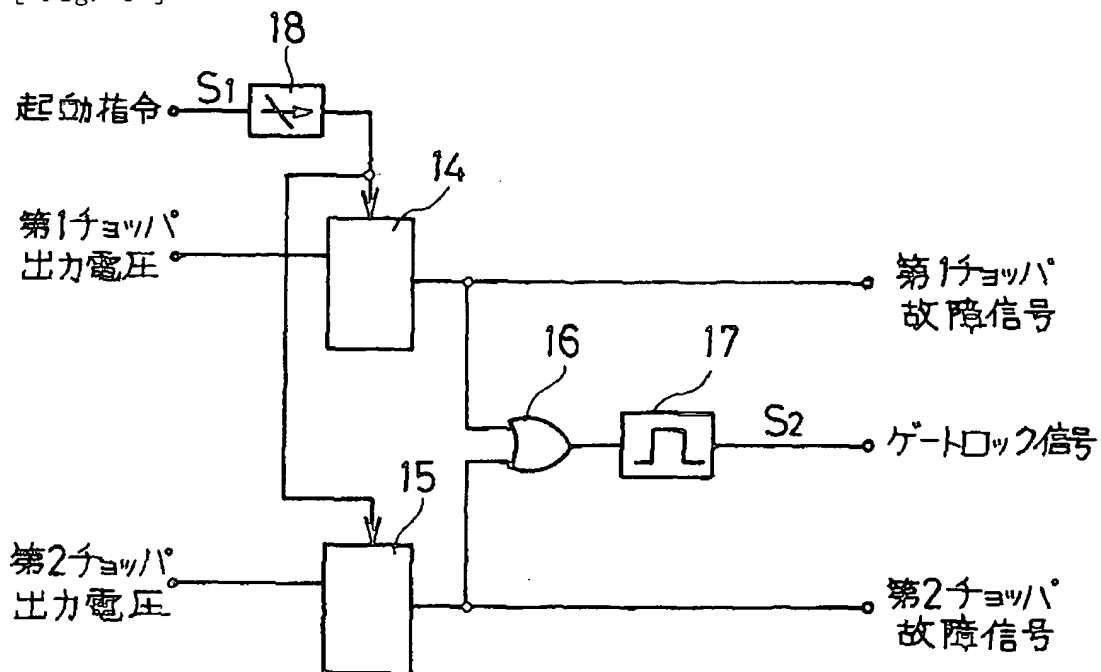
[Fig. 3]



[Fig. 4]



[Fig. 5]



[Translation done.]

(19) 日本国特許庁 (JP)

(12) 特許公報 (B 2)

(11) 特許出願公告番号

特公平 7 - 8 3 5 4 5

(24) (44) 公告日 平成7年 (1995) 9月6日

(51) Int. Cl. ⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 2 H 7/12

H

H 0 2 M 3/135

C

請求項の数 2

(全 5 頁)

(21) 出願番号 特願平 1-86413

(22) 出願日 平成1年 (1989) 4月5日

(65) 公開番号 特開平 2-262825

(43) 公開日 平成2年 (1990) 10月25日

(31) 優先権主張番号 特願昭 63-237244

(32) 優先日 昭 63 (1988) 9月21日

(33) 優先権主張国 日本 (J P)

(71) 出願人 999999999

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 三俣 正人

神奈川県川崎市川崎区田辺新田1番1号 富

士電機株式会社内

(74) 代理人 弁理士 山口 巖

審査官 安田 太

(56) 参考文献 実開昭 62-101389 (J P, U)

実開昭 61-14890 (J P, U)

(54) 【発明の名称】 半導体チョッパ装置の制御回路

1

【特許請求の範囲】

【請求項 1】 並列接続された 2 組のチョッパ回路を有し該 2 組の回路が一周期ごとに交互にチョッピング動作を繰返す半導体チョッパ装置において、一方のチョッパ回路に故障が発生した際にその故障検出回路による故障検出信号を受け、他方の健全なチョッパ回路の転流コンデンサにおける所要の充電が完了するに十分な期間にわたり、前記健全なチョッパ回路における故障検出回路の故障検出動作停止指令を発する手段を設けてなることを特徴とする半導体チョッパ装置の制御回路。

【請求項 2】 請求項 1 記載の半導体チョッパ装置の制御回路において、一方のチョッパ回路故障時の他方の健全なチョッパ回路における故障検出回路の故障検出動作停止指令に代えて、前記の故障側チョッパ回路のゲートロック動作は継続すると共に前記故障検出動作停止指令と

2

同様の期間にわたり前記 2 組のチョッパ回路における故障検出回路それぞれに対する故障検出動作停止指令を発する手段を設けてなることを特徴とする半導体チョッパ装置の制御回路。

【発明の詳細な説明】

【産業上の利用分野】

この発明は 2 組のチョッパ回路が一周期ごとに交互にチョッピング動作を繰返す半導体チョッパ装置の制御回路に関する。

【従来の技術】

従来のこの種チョッパ装置の主回路図及び制御回路の故障検出部回路図としてはそれぞれ第 4 図と第 5 図とに例示するものが知られている。

第 4 図において、1 は直流電源、2 はしや断器である。また図中一点鎖線で囲まれた 2 組のチョッパ回路は、以

10

下第1と第2のチョッパ回路と称するが、それぞれ逆導通形の補助サイリスタ5と転流リアクトル6と転流コンデンサ7との直列接続を主サイリスタ4に並列に接続して構成され、更に該両回路はそれぞれの入出力側において前記しゃ断器2を介して並列に接続され、且つ制御回路3により交互にチョッピング動作を繰返すように制御されている。また8は前記コンデンサ7に対する充電加速用の充電抵抗、9はフリーホイールダイオード、10はフィルタリアクトル、11はフィルタ抵抗、12はフィルタコンデンサ、13は負荷である。

次に第5図において、14と15とは前記第1と第2のチョッパ回路にそれぞれ対応する第1と第2のチョッパ故障検出回路であり、それぞれ対応するチョッパ回路の出力電圧を入力として点弧失敗検出用タイマによるチョッパ故障信号を出力する。16は前記両故障検出回路14と15との出力故障信号を入力とするORゲート、17は該ORゲートの出力信号を受け前記第1と第2の両チョッパ回路に対するゲートロック信号を出力するモノステーブル回路であり、該ゲートロック信号により故障発生時点から一定の期間にわたり健全なチョッパ回路のゲート駆動信号をロックしてその点弧呼び消弧動作を凍結し、前記転流コンデンサ7のチャージを確保して前記健全なチョッパ回路への転流失敗事故の波及を防止している。

また18はオンディレータイマであり、前記両故障検出回路14と15とに対する起動指令を一定時間遅らせ、前記チョッパ装置起動時の動作不安定期間における故障誤検出の防止を行うものである。

〔発明が解決しようとする課題〕

上記の如く2組のチョッパ回路を並列に接続し相互にチョッピング動作を繰返すような構成のチョッパ装置では、一方のチョッパ回路が転流失敗するとこの故障したチョッパ回路を主回路から切離し残る一方の健全なチョッパ回路のみで運転を継続するが、故障を検出してから故障したチョッパ回路が主回路から切離されるまでの期間は、故障したチョッパ回路は完全に導通状態となり健全なチョッパ回路をバイパスする回路が構成されてしまう。その結果前記の健全なチョッパ回路に流れる電流は減少し、その際健全なチョッパ回路が点弧・消弧を繰返していると、その転流コンデンサのチャージが不足して健全なチョッパ回路までが転流失敗を起す可能性がある。このためチョッパ故障検出回路からのゲートロック信号によって故障発生時点より一定の期間健全なチョッパ回路のゲート駆動信号をロックし、点弧及び消弧動作を凍結し転流コンデンサのチャージを確保するが、前記のゲートロックの期間中健全なチョッパ回路は消弧の状態となり、故障検出回路の点弧失敗検出用タイマが動作を開始する。従ってゲートロック用のモノステーブル回路の動作時間が前記点弧失敗検出用タイマの設定時間よりも長ければ、前記故障検出回路は前記の健全なチョッパ回路を点弧失敗状態として誤検出してしまふ。従って

この誤検出を防止するために前記モノステーブル回路の動作時間は故障検出用タイマの設定時間より短い時間ではなければならない。しかしながら、そのような短い時間では転流コンデンサに十分な充電が行えず、従って従来は第4図に示す如く転流コンデンサ7の充電を早める為に充電抵抗8を主回路に設けて前記のゲートロックの期間内に充電を完了するようにしていた。

前記充電抵抗の設置は前記チョッパ装置の大形化と共に抵抗発熱による装置内温度上昇を来し、それらの対策によるコスト上昇を招いていた。

上記に鑑み本発明は、前記の如き故障状態の誤検出を確実に防止し且つ前記充電抵抗を不要とするチョッパ装置用制御回路の提供を目的とする。

〔課題を解決するための手段〕

上記目的を達成するために、本発明の半導体チョッパ装置の制御回路においては、並列接続された2組のチョッパ回路を有し、該2組の回路が一周周期ごとに交互にチョッピング動作を繰返す半導体チョッパ装置において、一方のチョッパ回路に故障が発生した際にその故障検出回路による故障検出信号を受け、他方の健全なチョッパ回路の転流コンデンサにおける所要の充電が完了するに十分な期間にわたり、前記健全なチョッパ回路における故障検出回路の故障検出動作停止指令を発する手段を設けるか、或いは前記の如き一方のチョッパ回路故障時の他方の健全なチョッパ回路における故障検出回路の故障検出動作停止指令に代えて、前記の故障側チョッパ回路のゲートロック動作は継続すると共に前記故障検出動作停止指令と同様の期間にわたり前記2組のチョッパ回路における故障検出回路それぞれに対する故障検出動作停止指令を発する手段を設けるものとする。

〔作用〕

本発明によれば、第1または第2のチョッパ故障検出回路のいずれか一方が故障を検出すると、残る他方の故障検出回路に対してゲートロックの期間中にその故障検出動作をロックするようにした為、ゲートロック用のモノステーブル回路動作時間を故障検出回路のタイマ設定時間に制約されることなく、転流コンデンサの充電時間に合わせて設定可能となり、従って前記コンデンサの充電加速用の充電抵抗8も不要となる。

〔実施例〕

以下この発明の実施例を図面により説明する。第1図と第2図とはこの発明の実施例を示すチョッパ装置制御回路の故障検出部回路図、第3図は第2図の動作タイムチャートである。

なお第1図と第2図とにおいては第5図に示す従来技術の実施例の場合と同一機能の構成要素に対しては同一の表示符号を附している。

第1図は第5図に示す回路において、ゲートロック信号を共通とし第1または第2のチョッパ故障信号をそれぞれ入力とする2組の2入力ANDゲート20と、この両ANDゲ

5

ートの出力信号をそれぞれ入力とする2組のオフディレータイマ19とを設け、この両タイマの出力をそれぞれ第1と第2のチョッパ故障検出回路14と15とに対する故障検出動作ロック信号として入力するものである。

今、第1チョッパ故障検出回路14が故障を検出したとすると第1チョッパ故障信号が出力される。この故障信号はORゲート16を介してモノステーブル回路17に入力され、所定時間（転流コンデンサの充電時間）のゲートロック信号として出力される。また前記第1チョッパ故障信号とゲートロック信号とはANDゲート20によって論理積され、オフディレータイマ19を介して第2チョッパ故障検出回路15に入力されてその故障検出動作をロックする。これにより第2チョッパ回路が転流コンデンサが充電完了するまでその動作を停止していても、誤って故障を検出することを防止できる。

次に第2図は第5図に示す回路図において、起動指令信号 S_1 とゲートロック信号 S_2 とを入力とするANDゲート21を設け、該ANDゲートの出力信号を前記の如きチョッパ装置起動時の故障誤検出防止用タイマ18に入力し、該タイマの不出力状態期間における前記両故障検出回路14と15とにおける動作ロックを行うものであり、前記タイマ18の出力信号 S_3 と前記信号 S_1 と S_2 との変化模様は第3図に示すタイムチャートの如くなる。

第3図に示す如く、第2図の場合における前記モノステーブル回路17の出力信号 S_2 はチョッパ回路故障発生と共にその出力を時間 T_m 間レベル1となり、前記タイマ18による遅延時間 T_s との和時間 $T_m + T_s$ 間にわたり前記の如き故障検出動作のロックが行われる。

【発明の効果】

6

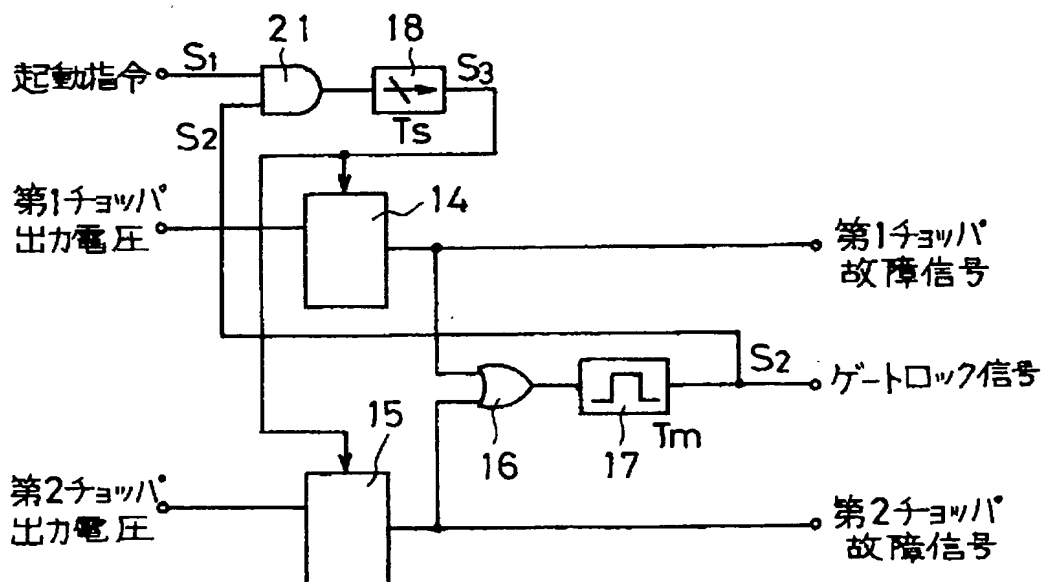
本発明によれば、ゲートロックの時間を故障検出回路のタイマ時間を考慮せずに転流コンデンサの充電時間にあわせて設定できる為、転流コンデンサの充電加速用の充電抵抗を主回路から削除することができる。これによってチョッパ装置の小型化とコスト低減とが可能になるとともに、余分な発熱源を取り除いたことによって装置内の他の機器への悪影響を防ぐことができる。また、ゲートロック信号をその動作条件の1とするタイマを設けたことにより、ゲートロックを解除して直ちに制御系及び被制御系が追従できない場合でも、制御系及び被制御系の特性に合わせてタイマ時間を適当に設定することにより、ゲートロック解除直後の出力波形の乱れまたは遅れ等による故障の誤検出を防ぐことができ、より安定した制御が可能となる。

【図面の簡単な説明】

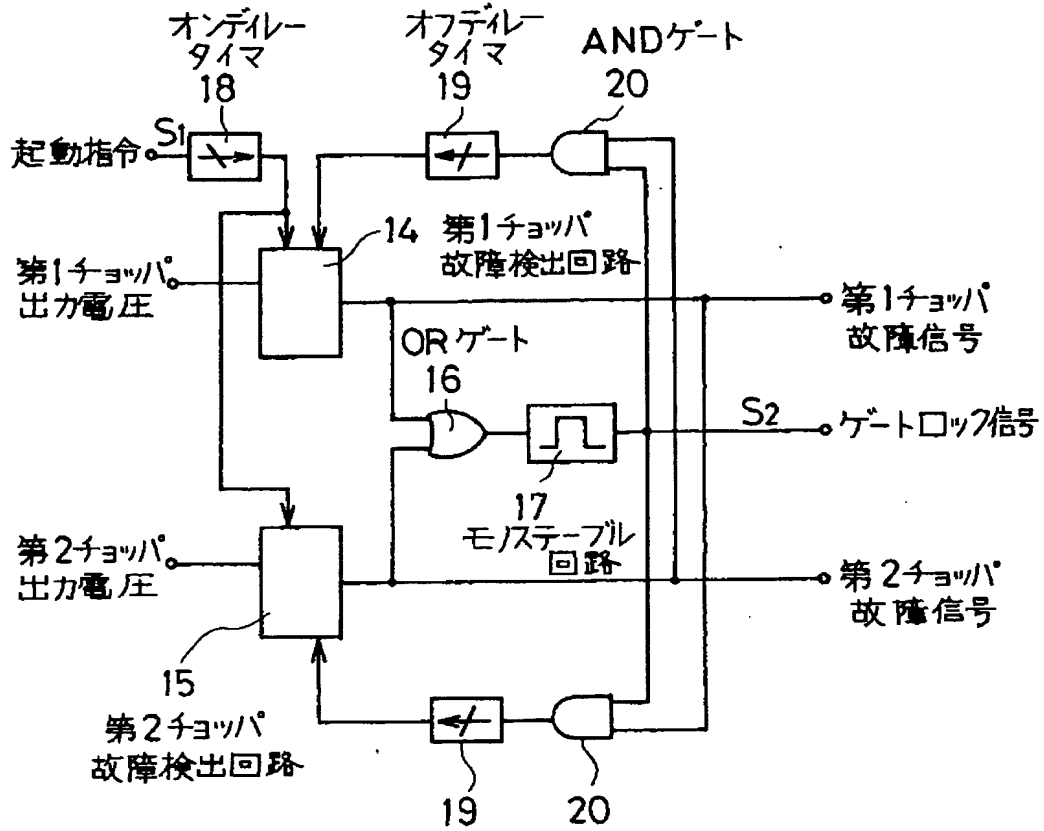
第1図と第2図とは本発明の実施例を示す回路図、第3図は第2図の動作タイムチャート、第4図は従来の制御回路を用いた場合のチョッパ装置の主回路図、第5図は第1図と第2図とに対応する従来技術の実施例を示す回路図である。

1……直流電源、2……しや断器、3……制御回路、4……主サイリスタ、5……補助サイリスタ、6……転流リアクトル、7……転流コンデンサ、8……充電抵抗、9……フリーホイールダイオード、10……フィルタリアクトル、11……フィルタ抵抗、12……フィルタコンデンサ、13……負荷、14……第1チョッパ故障検出回路、15……第2チョッパ故障検出回路、16……ORゲート、17……モノステーブル回路、18……オンディレータイマ、19……オフディレータイマ、20……ANDゲート。

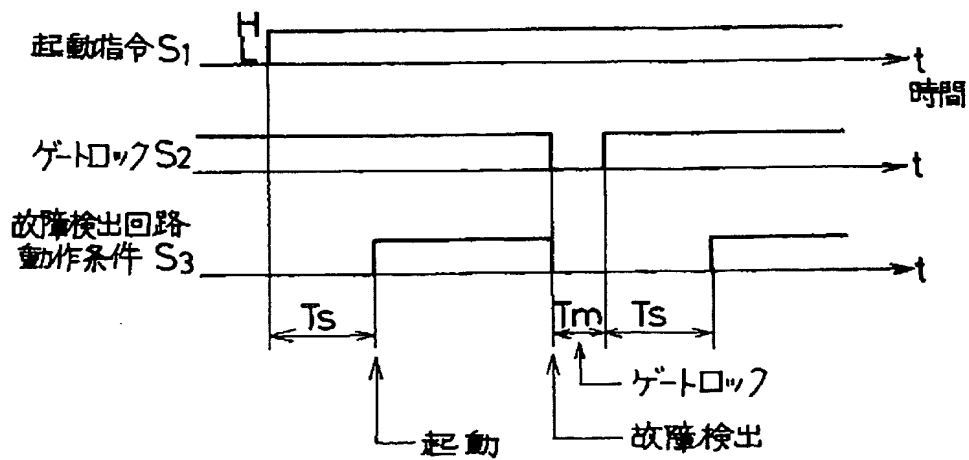
【第2図】



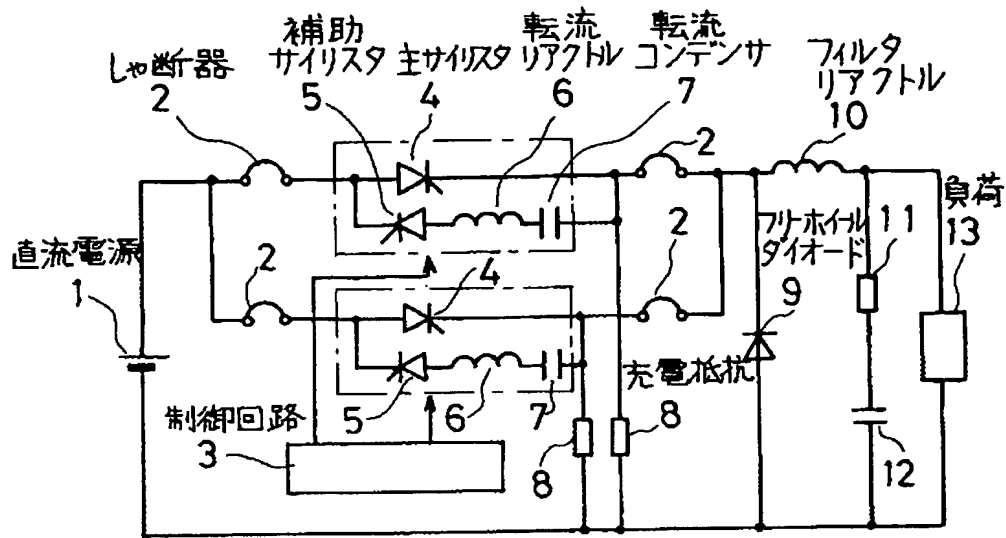
【第1図】



【第3図】



【第4図】



【第5図】

